

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-275199

(43)公園日 平成9年(1997)10月21日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	27/14		H 0 1 L	27/14 Z
	21/8249			27/06 3 2 1 J
	27/06		31/10	A
	31/10			G

審査請求 未請求 請求項の数6 FD (全 13 頁)

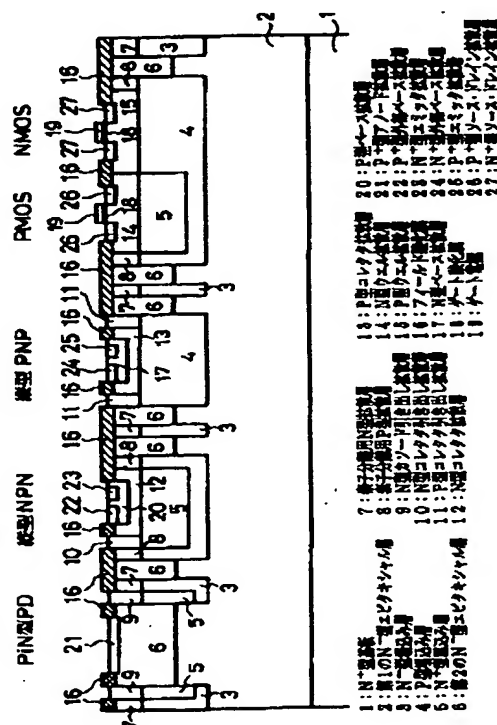
(21)出願番号	特願平8-108627	(71)出願人	000000376 オリンパス光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号
(22)出願日	平成8年(1996)4月5日	(72)発明者	根本 清志 東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス光学工業株式会社内
		(74)代理人	弁理士 最上 健治

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 良好な光電変換特性を持つP i n型PDと、高周波特性を持つ縦型NPN及び縦型PNPと、最適な特性を持つNMOS及びPMOSを同一基板上に備えた半導体装置及びその製造方法を提供する。

【解決手段】 N^+ 型基板 1 に第 1 及び第 2 の N^- 型エピタキシャル層 2, 6 を形成し、第 2 の N^- 型エピタキシャル層 6 に浅い拡散深さの P^+ 型アノード拡散層 21 を形成して PiN 型 PD を構成し、 P 型埋込み層 4 と素子分離用拡散層 8 とで各 N^- 型エピタキシャル層と分離してコレクタ領域を形成して縦型 NPN を構成し、 P 型埋込み層 4 と P 型コレクタ拡散層 13 とでコレクタ領域を形成して縦型 PNP を構成し、 P 型埋込み層 4 と素子分離用拡散層 8 とで各 N^- 型エピタキシャル層と分離してウエル領域を形成して PMOS を構成し、 P 型埋込み層 4 と P 型ウエル拡散層 15 とをウエル領域として NMOS を形成して、半導体装置を構成する。



1

【特許請求の範囲】

【請求項1】 P i N型フォトダイオードとバイポーラトランジスタと電界効果型トランジスタを同一基板上に備えた半導体装置において、高濃度のN型基板上に第1及び第2の低濃度のN型エピタキシャル層を形成し、前記第2の低濃度のN型エピタキシャル層の表面に拡散深さの浅いP型アノード拡散層を形成してP i N型フォトダイオードを構成し、前記第1の低濃度のN型エピタキシャル層に形成したP型埋込み層と前記第2の低濃度のN型エピタキシャル層より拡散形成した前記P型埋込み層に達する第1のP型拡散層とによりP型素子分離領域を形成して、前記第1及び第2の低濃度のN型エピタキシャル層と分離された、前記P型埋込み層に形成した高濃度のN型埋込み層と前記第2の低濃度のN型エピタキシャル層より拡散形成した前記高濃度のN型埋込み層に達する第1のN型拡散層とでコレクタを形成すると共に、P型ベース拡散層及びN型エミッタ拡散層を設けてNPN型縦型バイポーラトランジスタを構成し、前記第1の低濃度のN型エピタキシャル層に形成したP型埋込み層と前記第2の低濃度のN型エピタキシャル層より拡散形成した前記P型埋込み層に達する第1のP型拡散層とによりP型素子分離領域を形成して、前記第1及び第2の低濃度のN型エピタキシャル層と分離された、前記P型埋込み層に形成した高濃度のN型埋込み層と前記第2の低濃度のN型エピタキシャル層より拡散形成した前記高濃度のN型埋込み層に達する第2のN型拡散層とでウェルを形成すると共に、ゲート絶縁膜、ゲート電極及びP型ソース・ドレイン拡散層を設けてP型電界効果型トランジスタを構成し、前記第1の低濃度のN型エピタキシャル層に形成したP型埋込み層と前記第2の低濃度のN型エピタキシャル層より拡散形成した前記P型埋込み層に達する第2のP型拡散層とでコレクタを形成すると共に、N型ベース拡散層及びP型エミッタ拡散層を設けてPNP型縦型バイポーラトランジスタを構成し、前記第1の低濃度のN型エピタキシャル層に形成したP型埋込み層と前記第2の低濃度のN型エピタキシャル層より拡散形成した前記P型埋込み層に達する第3のP型拡散層でウェルを形成すると共に、ゲート絶縁膜、ゲート電極及びP型ソース・ドレイン拡散層を設けてN型電界効果型トランジスタを構成し、前記第1の低濃度のN型エピタキシャル層に形成した低濃度のN型埋込み層と前記第2の低濃度のN型エピタキシャル層より拡散形成した前記低濃度のN型埋込み層に達する第3のN型拡散層とにより、各素子を分離するN型素子分離領域を構成していることを特徴とする半導体装置。

【請求項2】 P i N型フォトダイオードとバイポーラトランジスタと電界効果型トランジスタを同一基板上に形成する半導体装置の製造方法において、高濃度のN型半導体基板に低濃度の第1のN型半導体層を形成する工程と、前記第1のN型半導体層の第1の素子分離領域と

2

前記第1のN型半導体層のP i N型フォトダイオードのカソード引き出し領域とに第1のN型埋込み層を形成する工程と、前記第1のN型半導体層の第2の素子分離領域と、NPN型縦型バイポーラトランジスタを形成する領域と、PNP型縦型バイポーラトランジスタを形成する領域と、N型電界効果型トランジスタを形成する領域と、P型電界効果型トランジスタを形成する領域とにP型埋込み層を形成する工程と、前記第1のN型埋込み層のP i N型フォトダイオードのカソード引き出し領域と、前記P型埋込み層のNPN型縦型バイポーラトランジスタを形成する領域及びP型電界効果型トランジスタを形成する領域とに第2のN型埋込み層を形成する工程と、前記第1のN型半導体層に低濃度の第2のN型半導体層を形成する工程と、前記第2のN型半導体層の第1の素子分離領域と、P i N型フォトダイオードのカソード引き出し領域に前記第1のN型埋込み層と接続する第1のN型拡散層を形成する工程と、前記第2のN型半導体層の第2の素子分離領域に前記P型埋込み層と接続する第1のP型拡散層を形成する工程と、前記第2のN型半導体層のP i N型フォトダイオードのカソード引き出し領域に前記第2のN型埋込み層と接続する第2のN型拡散層を形成する工程と、前記第2のN型半導体層のNPN型縦型バイポーラトランジスタのコレクタ引き出し領域に前記第2のN型埋込み層と接続する第3のN型拡散層を形成する工程と、前記第2のN型半導体層のPNP型縦型バイポーラトランジスタのコレクタ引き出し領域に前記P型埋込み層と接続する第2のP型拡散層を形成する工程と、前記第2のN型半導体層のNPN型縦型バイポーラトランジスタを形成する領域に前記第2のN型埋込み層と接続するN型コレクタ拡散層を形成する工程と、前記第2のN型半導体層のPNP型縦型バイポーラトランジスタを形成する領域に前記P型埋込み層と接続するP型コレクタ拡散層を形成する工程と、前記第2のN型半導体層のP型電界効果型トランジスタを形成する領域に前記第2のN型埋込み層と接続するN型ウェル拡散層を形成する工程と、前記第2のN型半導体層のN型電界効果型トランジスタを形成する領域に前記P型埋込み層と接続するP型ウェル拡散層を形成する工程と、前記第2のN型半導体層に選択的に第1の絶縁膜を形成する工程と、前記P型コレクタ拡散層にN型ベース拡散層を形成する工程と、前記第2のN型半導体層に第2の絶縁膜を形成する工程と、N型電界効果型トランジスタとP型電界効果型トランジスタを形成する領域に選択的にN型ポリシリコンを形成しゲート電極を形成する工程と、前記N型コレクタ拡散層にP型ベース拡散層を形成する工程と、前記第2のN型半導体層のP i N型フォトダイオードを形成する領域に拡散深さの浅いP型アノード拡散層を形成する工程と、前記P型ベース拡散層にP型外部ベース拡散層とN型エミッタ拡散層を形成する工程と、前記N型ベース拡散層にN型外部ベース拡散層と

P型エミッタ拡散層を形成する工程と、前記N型ウエル拡散層にP型ソース・ドレイン拡散層を形成する工程と、前記P型ウエル拡散層にN型ソース・ドレイン拡散層を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項3】 前記N型コレクタ拡散層と前記P型コレクタ拡散層の不純物濃度は、 $1 \times 10^{16} \text{cm}^{-3}$ 以下であることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 前記第1のN型拡散層と前記第2のN型拡散層と前記第3のN型拡散層を同一工程で形成すること

を特徴とする請求項2記載の半導体装置の製造方法。

【請求項5】 前記第1のN型拡散層と前記N型コレクタ拡散層を同一工程で形成し、前記第2のN型拡散層と前記第3のN型拡散層を同一工程で形成することを特徴とする請求項2記載の半導体装置の製造方法。

【請求項6】 前記第1のP型拡散層と前記第2のP型拡散層を同一工程で形成することを特徴とする請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、PiN型フォトダイオードとバイポーラトランジスタと電界効果型トランジスタとを同一基板上に備えた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】PN接合を有するフォトダイオードと、その出力信号を処理する能動素子を同一基板上に構成した半導体装置は、従来から知られている。例えば、特開昭56-61160号には図7に示すような構成のものが開示されている。フォトダイオード（以下PDと略称する）は、P型基板101に形成されたN⁻型エピタキシャル層104とN型埋込み層102とN型カソード拡散層107とでカソードを形成し、浅く形成されたP型アノード拡散層113とP型アノードコンタクト拡散層110とでアノードを形成しており、PN接合はP型アノード拡散層113及びP型アノードコンタクト拡散層110とN⁻型エピタキシャル層104とで形成している。能動素子である接合型電界効果トランジスタ（以下JFETと略称する）は、N⁻型エピタキシャル層104をチャネル領域とし、P型埋込み層103、P型ゲート拡散層109、N型ソース・ドレイン拡散層112により構成されている。NPNバイポーラトランジスタ（以下NPNと略称する）は、N⁻型エピタキシャル層104をコレクタとし、N型埋込み層102、N型コレクタ拡散層106、P型ベース拡散層108、N型エミッタ拡散層111により構成されている。そして、P型分離領域105により素子を分離している。なお、114は絶縁膜である。

【0003】また、特開平4-151871号、特開平4-151872号、特開平4-151873号、特開平4-151874号には、P型基板にP⁻型エピタキ

シャル層とN型エピタキシャル層を順次形成して、PDとNPNを同一基板上に構成した半導体装置が開示されている。次に、特開平4-151871号に開示されている半導体装置を図8に基づいて説明する。PDは、P型基板201上に形成したP⁻型エピタキシャル層202とN型エピタキシャル層203とでPN接合を形成し、N型アノード拡散層208でアノード取り出し領域を、P型埋込み層204とP型拡散層207とでカソード取り出し領域を形成している。NPNはP⁻型エピタキシャル層202に形成されたP型埋込み層204上に形成され、N型エピタキシャル層203をコレクタとし、N型埋込み層205、N型コレクタ拡散層209、P型外部ベース拡散層210、P型真性ベース拡散層211、N型エミッタ拡散層212、エミッタポリシリコン213により構成されている。そして、素子分離はポリシリコン206を用いたトレンチにより行っている。なお、214は絶縁膜である。

【0004】また、特開平3-145771号、特開平1-302854号には、N型基板に2層のN型エピタキシャル層を順次形成して、PDとNPNを同一基板上に構成した半導体装置が開示されている。特開平3-145771号に開示されている半導体装置を図9に基づいて説明する。図9において、PDはN型基板301上に形成したN⁻型エピタキシャル層302とP型アノード埋込み層306でPN接合を形成し、P型アノード拡散層311でアノード取り出し領域を、N型拡散層309でカソード取り出し領域を形成している。NPNはN⁻型エピタキシャル層302に形成されたP型埋込み層304上に形成され、N型エピタキシャル層303をコレクタとし、N型埋込み層305、N型コレクタ拡散層310、P型外部ベース拡散層312、P型真性ベース拡散層313、N型エミッタ拡散層314、エミッタポリシリコン315により構成されている。そして、素子分離はポリシリコン307を用いたトレンチにより行っている。なお、308はP型拡散層、316は絶縁膜である。

【0005】また、上記特開平1-302854号に開示されている半導体装置を、図10に基づいて説明する。図10において、PDはN型基板401上に形成された第1のN型エピタキシャル層402上に設けられている第2のN型エピタキシャル層403とP型アノード拡散層409のPN接合により形成され、NPNは第1のN型エピタキシャル層402に形成されたP型埋込み層404とP型拡散層405により囲まれた第2のN型エピタキシャル層403をコレクタとし、P型ベース拡散層406、N型コレクタ拡散層407、N型エミッタ拡散層408により構成されている。

【0006】

【発明が解決しようとする課題】ところで、図7に示した従来例においては、PDはP型基板101に形成されたN⁻型エピタキシャル層104とN型埋込み層102とN型カソード107とでカソードを形成しているため、P型基

板101とN型埋込み層102との間にPN接合が形成される。このため、寄生的に接合容量が形成され、PDの時定数が劣化し周波数応答が悪くなるという問題がある。また、N⁻型エピタキシャル層104はPDのPN接合のN層とNPNのコレクタを兼ねている。PDの特性にとって最適なN⁻型エピタキシャル層104の濃度は $1\text{E}14\text{cm}^{-3}$ 以下にであるが、NPNの特性にとって最適なN⁻型エピタキシャル層104の濃度は $1\text{E}15\text{cm}^{-3}\sim 1\text{E}16\text{cm}^{-3}$ であり、PD、NPN共に良好な特性にすることができないという問題がある。更に、P型アノード拡散層113は浅く形成されているため、N⁻型エピタキシャル層104の表面近傍で光電変換する短波長の光に対しては感度が高くなる。しかし、素子分離をP型分離領域105で行っているため、P型分離領域105はN⁻型エピタキシャル層104の膜厚分拡散させる必要がある。このため、N⁻型エピタキシャル層104の膜厚を厚く形成することができず、N⁻型エピタキシャル層104の深い領域で光電変換する長波長の光に対しては感度が低くなるという問題がある。

【0007】また、図8に示した従来例においては、PDのPN接合はP⁻型エピタキシャル層202とN型エピタキシャル層203とで形成している。またN型エピタキシャル層203はNPNのコレクタを形成しているため、NPNの特性を維持する必要がある。したがって、N型エピタキシャル層203は膜厚を $1\sim 3\mu\text{m}$ 、濃度を $1\text{E}15\text{cm}^{-3}\sim 1\text{E}16\text{cm}^{-3}$ に形成されている。一方、P⁻型エピタキシャル層202の濃度は $1\text{E}12\text{cm}^{-3}\sim 1\text{E}14\text{cm}^{-3}$ と低濃度に形成されているため、PDの空乏層は主にP⁻型エピタキシャル層202側に広がり、N型エピタキシャル層203側には広がり難い。このため、N型エピタキシャル層203内で光電変換する短波長の光に対しては感度が低いという問題がある。また、素子分離をトレンチで行っているため工程数が長くなり、コスト高になるという問題がある。

【0008】また、図9に示した従来例においては、PDのPN接合はN⁻型エピタキシャル層302とP型アノード埋込み層306で形成しており、N⁻型エピタキシャル層302の濃度は $1\text{E}12\text{cm}^{-3}\sim 1\text{E}14\text{cm}^{-3}$ と低濃度に形成されているため、PDの空乏層は主にN⁻型エピタキシャル層302側に広がり、P型アノード埋込み層306側には広がり難い。このため、P型アノード埋込み層306内で光電変換する短波長の光に対しては感度が低いという問題がある。また、P型アノード埋込み層306及びP型アノード拡散層311とN型エピタキシャル層303で接合容量が形成され、PDの周波数応答が悪くなるという問題がある。更に、素子分離をトレンチで行っているため工程数が長くなり、コスト高になるという問題がある。

【0009】また、図10に示した従来例においては、第2のN型エピタキシャル層403はPDのPN接合のN層

とNPNのコレクタを兼ねている。PDの特性にとって最適な第2のN型エピタキシャル層403の濃度は $1\text{E}14\text{cm}^{-3}$ 以下であるが、NPNの特性にとって最適な第2のN型エピタキシャル層403の濃度は $1\text{E}15\text{cm}^{-3}\sim 1\text{E}16\text{cm}^{-3}$ であり、PD、NPN共に良好な特性にすることができない。また、P型アノード拡散層409とP型拡散層405の間の耐圧は、第2のN型エピタキシャル層403の濃度により決まるため、第2のN型エピタキシャル層403の濃度バラツキにより耐圧にバラツキが生じるという問題がある。

【0010】このように、従来は、高周波数特性を有するNPN型縦型バイポーラトランジスタと、周波数応答が良好で短波長～長波長の光に対して良好な光電変換特性を持ったPiN型フォトダイオードを同一基板上に構成した半導体装置は提案されておらず、更には、電界効果トランジスタとPNP型縦型バイポーラトランジスタをも同一基板上に構成した半導体装置は実現されていない。

【0011】本発明は、従来の半導体装置における上記問題点を解消するためになされたもので、請求項1記載の発明は、周波数応答が良好で短波長～長波長の光に対して良好な光電変換特性を持ったPiN型フォトダイオード（以下PiN型PDと略称する）、高周波数特性を有し最適な特性を持ったNPN型縦型バイポーラトランジスタ（以下縦型NPNと略称する）及びPNP型縦型バイポーラトランジスタ（以下縦型PNPと略称する）と、最適な特性を持ったN型電界効果型トランジスタ（以下NMOSと略称する）及びP型電界効果型トランジスタ（以下PMOSと略称する）を同一基板上に設けた半導体装置を提供することを目的とする。また請求項2記載の発明は、請求項1記載の半導体装置の製造方法を提供することを目的とする。請求項3記載の発明は、請求項2記載の半導体装置の製造方法において、縦型NPNと縦型PNPの耐圧を向上させることの可能な製造方法を提供することを目的とする。請求項4～6記載の各発明は、請求項2記載の半導体装置の製造方法において、工程数を少なくして効率よく半導体装置を製造することの可能な製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】上記問題点を解決するため、請求項1記載の発明は、PiN型フォトダイオードとバイポーラトランジスタと電界効果型トランジスタを同一基板上に備えた半導体装置において、高濃度のN型基板上に第1及び第2の低濃度のN型エピタキシャル層を形成し、前記第2の低濃度のN型エピタキシャル層の表面に拡散深さの浅いP型アノード拡散層を形成してPiN型PDを構成し、前記第1の低濃度のN型エピタキシャル層に形成したP型埋込み層と前記第2の低濃度のN型エピタキシャル層より拡散形成した前記P型埋込み層に達する第1のP型拡散層とによりP型素子分離領域

7

を形成して、前記第1及び第2の低濃度のN型エピタキシャル層と分離された、前記P型埋込み層に形成した高濃度のN型埋込み層と前記第2の低濃度のN型エピタキシャル層より拡散形成した前記高濃度のN型埋込み層に達する第1のN型拡散層とでコレクタを形成すると共に、P型ベース拡散層及びN型エミッタ拡散層を設けて縦型NPNを構成し、前記第1の低濃度のN型エピタキシャル層に形成したP型埋込み層と前記第2の低濃度のN型エピタキシャル層より拡散形成した前記P型埋込み層に達する第1のP型拡散層とによりP型素子分離領域を形成して、前記第1及び第2の低濃度のN型エピタキシャル層と分離された、前記P型埋込み層に形成した高濃度のN型埋込み層と前記第2の低濃度のN型エピタキシャル層より拡散形成した前記高濃度のN型埋込み層に達する第2のN型拡散層とでウェルを形成すると共に、ゲート絶縁膜、ゲート電極及びP型ソース・ドレイン拡散層を設けてPMOSを構成し、前記第1の低濃度のN型エピタキシャル層に形成したP型埋込み層と前記第2の低濃度のN型エピタキシャル層より拡散形成した前記P型埋込み層に達する第2のP型拡散層とでコレクタを形成すると共に、N型ベース拡散層及びP型エミッタ拡散層を設けて縦型PNPを構成し、前記第1の低濃度のN型エピタキシャル層に形成したP型埋込み層と前記第2の低濃度のN型エピタキシャル層より拡散形成した前記P型埋込み層に達する第3のP型拡散層でウェルを形成すると共に、ゲート絶縁膜、ゲート電極及びP型ソース・ドレイン拡散層を設けてNMOSを構成し、前記第1の低濃度のN型エピタキシャル層に形成した低濃度のN型埋込み層と前記第2の低濃度のN型エピタキシャル層より拡散形成した前記低濃度のN型埋込み層に達する第3のN型拡散層とにより、各素子を分離するN型素子分離領域を形成して半導体装置を構成するものである。

【0013】また、請求項2記載の発明は、PiN型フォトダイオードとバイポーラトランジスタと電界効果型トランジスタを同一基板上に形成する半導体装置の製造方法において、高濃度のN型半導体基板に低濃度の第1のN型半導体層を形成する工程と、前記第1のN型半導体層の第1の素子分離領域と前記第1のN型半導体層のPiN型PDのカソード引き出し領域とに第1のN型埋込み層を形成する工程と、前記第1のN型半導体層の第2の素子分離領域と、縦型NPNを形成する領域と、縦型PNPを形成する領域と、NMOSを形成する領域と、PMOSを形成する領域とにP型埋込み層を形成する工程と、前記第1のN型埋込み層のPiN型PDのカソード引き出し領域と、前記P型埋込み層の縦型NPNを形成する領域及びPMOSを形成する領域とに第2のN型埋込み層を形成する工程と、前記第1のN型半導体層に低濃度の第2のN型半導体層を形成する工程と、前記第2のN型半導体層の第1の素子分離領域と、PiN型PDのカソード引き出し領域に前記第1のN型埋込み

8

層と接続する第1のN型拡散層を形成する工程と、前記第2のN型半導体層の第2の素子分離領域に前記P型埋込み層と接続する第1のP型拡散層を形成する工程と、前記第2のN型半導体層のPiN型PDのカソード引き出し領域に前記第2のN型埋込み層と接続する第2のN型拡散層を形成する工程と、前記第2のN型半導体層の縦型NPNのコレクタ引き出し領域に前記第2のN型埋込み層と接続する第3のN型拡散層を形成する工程と、前記第2のN型半導体層の縦型PNPのコレクタ引き出し領域に前記P型埋込み層と接続する第2のP型拡散層を形成する工程と、前記第2のN型半導体層の縦型NPNを形成する領域に前記第2のN型埋込み層と接続するN型コレクタ拡散層を形成する工程と、前記第2のN型半導体層の縦型PNPを形成する領域に前記P型埋込み層と接続するP型コレクタ拡散層を形成する工程と、前記第2のN型半導体層のPMOSを形成する領域に前記第2のN型埋込み層と接続するN型ウェル拡散層を形成する工程と、前記第2のN型半導体層のNMOSを形成する領域に前記P型埋込み層と接続するP型ウェル拡散層を形成する工程と、前記第2のN型半導体層に選択的に第1の絶縁膜を形成する工程と、前記P型コレクタ拡散層にN型ベース拡散層を形成する工程と、前記第2のN型半導体層に第2の絶縁膜を形成する工程と、NMOSとPMOSを形成する領域に選択的にN型ポリシリコンを形成しゲート電極を形成する工程と、前記N型コレクタ拡散層にP型ベース拡散層を形成する工程と、前記第2のN型半導体層のPiN型PDを形成する領域に拡散深さの浅いP型アノード拡散層を形成する工程と、前記P型ベース拡散層にP型外部ベース拡散層とN型エミッタ拡散層を形成する工程と、前記N型ベース拡散層にN型外部ベース拡散層とP型エミッタ拡散層を形成する工程と、前記N型ウェル拡散層にP型ソース・ドレイン拡散層を形成する工程と、前記P型ウェル拡散層にN型ソース・ドレイン拡散層を形成する工程とで半導体装置を製造するものである。

【0014】このように構成した半導体装置及びその製造方法によれば、高濃度のN型基板にi層となる低濃度の第1のN型エピタキシャル層と低濃度の第2のN型エピタキシャル層を形成し、第2のN型エピタキシャル層に浅い拡散深さで形成されたP型アノード拡散層を形成することによりPiN型PDを構成しているため、周波数応答が良好で短波長から長波長の光に対して良好な光電変換特性を持つPiN型PDを得ることができる。縦型NPNにおいては、P型素子分離領域により第1のN型エピタキシャル層及び第2のN型エピタキシャル層と分離された、高濃度のN型埋込み層とこのN型埋込み層に接続するN型コレクタ拡散層とでコレクタ領域を形成しているため、PiN型PDのi層となる第2のN型エピタキシャル層とは独立にコレクタ濃度が設定でき、高い周波数特性を有し、最適な特性を持った縦型NPNを

得ることができる。縦型PNPにおいては、P型埋込み層とこのP型埋込み層に接続するP型コレクタ拡散層とでコレクタ領域を形成しており、第1のN型エピタキシャル層及び第2のN型エピタキシャル層とはPN接合で分離されているため、自由にコレクタ濃度が設定でき、高い周波数特性を有し、最適な特性を持った縦型PNPを得ることができる。PMOSにおいては、P型素子分離領域により第1のN型エピタキシャル層及び第2のN型エピタキシャル層と分離された、高濃度のN型埋込み層とこのN型埋込み層に接続するN型ウエル拡散層とでウエル領域を形成しているため、PiN型PDのi層となる第2のN型エピタキシャル層とは独立にウエル濃度が設定でき、最適な特性を持ったPMOSを得ることができる。縦型NMOSにおいては、P型埋込み層とこのP型埋込み層に接続するP型ウエル拡散層とでウエル領域を形成しており、第1のN⁻型エピタキシャル層及び第2のN⁻型エピタキシャル層とはPN接合で分離されているため、自由にウエル濃度が設定でき、最適な特性を持ったNMOSを得ることができる。またN⁻型埋込み層とこのN⁻型埋込み層に接続する素子分離用N型拡散層によりN型素子分離領域を形成しており、大きな工程数の増加なしに安定して、それぞれの素子を分離することができる。

【0015】請求項3記載の発明は、請求項2記載の半導体装置の製造方法において、前記N型コレクタ拡散層と前記P型コレクタ拡散層の不純物濃度を、 $1 \times 10^{16} \text{cm}^{-3}$ 以下に設定するものである。これにより、縦型NPNと縦型PNPの耐圧を向上させることができる。

【0016】請求項4記載の発明は、請求項2記載の半導体装置の製造方法において、前記第1のN型拡散層と前記第2のN型拡散層と第3のN型拡散層を同一工程で形成するものであり、また請求項5記載の発明は、請求項2記載の半導体装置の製造方法において、前記第1のN型拡散層と前記第2のN型コレクタ拡散層を同一工程で形成し、且つ前記第2のN型拡散層と前記第3のN型拡散層を同一工程で形成するものであり、また請求項6記載の発明は、請求項2記載の半導体装置の製造方法において、前記第1のP型拡散層と前記第2のP型拡散層を同一工程で形成するものである。このように、いくつかの工程を同時に行うことにより、工程数を少なくして効率よく半導体装置を製造することができる。

【0017】

【発明の実施の形態】次に、実施の形態について説明する。図1は、本発明に係るPiN型PDと縦型NPNと縦型PNPとNMOSとPMOSを同一基板上に構成した半導体装置の実施の形態を示す断面図である。図1において、1はN⁺型基板で、該N⁺型基板1に第1のN⁻型エピタキシャル層2と第2のN⁻型エピタキシャル層6が形成されている。PiN型PDのアノードは、第2のN⁻型エピタキシャル層6に浅い拡散深さで形成さ

れたP⁺型アノード拡散層21で形成され、N⁺型埋込み層5とN型カソード引き出し拡散層9でカソード引き出し領域を形成している。P⁺型アノード拡散層21は浅い拡散深さで形成されており、第1のN⁻型エピタキシャル層2と第2のN⁻型エピタキシャル層6はi層として働き、PiN型PDの動作時には空乏化している。このような状態では、第2のN⁻型エピタキシャル層6の表面近傍で光電変換する短波長の光による発生キャリアから第1のN⁻型エピタキシャル層2の深い領域で光電変換する長波長の光による発生キャリアまで空乏層内で発生し、ドリフトにより移動する。このため、周波数応答が良好になり、短波長から長波長の光に対して良好な光電変換特性を持つPiN型PDが得られる。

【0018】縦型NPNは、P型埋込み層4と素子分離用P型拡散層8により、第1のN⁻型エピタキシャル層2及び第2のN⁻型エピタキシャル層6と分離された、N⁺型埋込み層5とこのN⁺型埋込み層5に接続するN型コレクタ拡散層12とでコレクタ領域を形成している。このため、PiN型PDのi層となる第2のN⁻型エピタキシャル層6とは独立にコレクタ濃度が設定でき、周波数特性を高くすることができると同時に、最適な特性を持った縦型NPNを得ることができる。また、N型コレクタ拡散層12の不純物濃度を $1 \times 10^{16} \text{cm}^{-3}$ 以下にすることにより、高い耐圧を持った縦型NPNを構成することができる。なお、図1において、10はN型コレクタ引き出し拡散層、20はP型ベース領域、22はP⁺型外部ベース領域、23はN⁺型エミッタ拡散層を示している。

【0019】縦型PNPは、P型埋込み層4とこのP型埋込み層4に接続するP型コレクタ拡散層13とでコレクタ領域を形成している。第1のN⁻型エピタキシャル層2及び第2のN⁻型エピタキシャル層6とは、PN接合で分離されている。このため、自由にコレクタ濃度が設定でき、周波数特性を高くすることができると同時に、最適な特性を持った縦型PNPを得ることができる。また、P型コレクタ拡散層13の不純物濃度を $1 \times 10^{16} \text{cm}^{-3}$ 以下にすることにより、高い耐圧を持った縦型PNPを構成することができる。なお、図1において、11はP型コレクタ引き出し拡散層、17はN型ベース領域、24はN⁺型外部ベース領域、25はP⁺型エミッタ拡散層を示している。

【0020】PMOSは、P型埋込み層4と素子分離用P型拡散層8により、第1のN⁻型エピタキシャル層2及び第2のN⁻型エピタキシャル層6と分離された、N⁺型埋込み層5とこのN⁺型埋込み層5に接続するN型ウエル拡散層14とでウエル領域を形成している。このため、PiN型PDのi層となる第2のN⁻型エピタキシャル層6とは独立にウエル濃度が設定でき、最適な特性を持ったPMOSを構成することができる。なお、図1において、18はゲート酸化膜、19はゲート電極、26はP⁺型ソース・ドレイン拡散層を示している。

11

【0021】NMOSは、P型埋込み層4とこのP型埋込み層4に接続するP型ウェル拡散層15とでウェル領域を形成している。第1のN⁻型エピタキシャル層2及び第2のN⁻型エピタキシャル層6とは、PN接合で分離されている。このため、自由にウェル濃度が設定でき、最適な特性を持ったNMOSを構成することができる。なお、図1において、27はN⁺型ソース・ドレイン拡散層である。

【0022】また、N⁻型埋込み層3とこのN⁻型埋込み層3に接続する素子分離用N型拡散層7によりN型素子分離領域を形成し、大きな工程数の増加なしに安定して、それぞれの素子を分離することができるになっている。なお、図1において、16はフィールド酸化膜である。

【0023】次に、図1に示した実施の形態の製造方法について説明する。まず、図2に示すように、アンチモンが $1\text{E}17\text{cm}^{-3}\sim 1\text{E}19\text{cm}^{-3}$ の高濃度にドーパされたN⁺型基板1に、リンを $1\text{E}12\text{cm}^{-3}\sim 1\text{E}14\text{cm}^{-3}$ の低濃度にドーパした第1のN⁻型エピタキシャル層2を、 $15\mu\text{m}$ 以上の厚さで形成する。この第1のN⁻型エピタキシャル層2の膜厚は、PiN型PDに必要な光電変換特性により決定される。例えば、長波長の光に対する感度が必要な場合には、第1のN⁻型エピタキシャル層2の膜厚は厚くする必要があるが、短波長の光に対する感度だけが必要な場合には、第1のN⁻型エピタキシャル層2の膜厚はそれほど厚くする必要はなく、 $15\mu\text{m}$ 程度でよい。

【0024】次に、図3に示すように、第1のN⁻型エピタキシャル層2に $30\text{nm}\sim 70\text{nm}$ の酸化膜（図示せず）を形成した後、N型素子分離領域とPiN型PDのカソード引き出し領域に、N⁻型埋込み層3を形成するために、リンを加速電圧 $100\sim 180\text{Kev}$ 、ドーズ量 $1\text{E}13\text{cm}^{-2}\sim 1\text{E}14\text{cm}^{-2}$ でイオン注入する。その後、 $1000^{\circ}\text{C}\sim 1200^{\circ}\text{C}$ 、500分 ~ 1000 分の拡散を行う。次に、P型素子分離領域と、縦型NPNを形成する領域と、縦型PNPを形成する領域と、NMOSを形成する領域と、PMOSを形成する領域にP型埋込み層4を形成するために、ボロンを加速電圧 $100\sim 180\text{Kev}$ 、ドーズ量 $1\text{E}13\text{cm}^{-2}\sim 1\text{E}14\text{cm}^{-2}$ でイオン注入する。その後、 $1000^{\circ}\text{C}\sim 1200^{\circ}\text{C}$ 、500分 ~ 1000 分の拡散を行う。

【0025】次に、PiN型PDのカソード引き出し領域と、縦型NPNを形成する領域と、PMOSを形成する領域にN⁺型埋込み層5を形成する。このN⁺型埋込み層5は、 $800\text{nm}\sim 11000\text{nm}$ の厚い酸化膜又は $50\text{nm}\sim 200\text{nm}$ の酸化膜と $100\text{nm}\sim 300\text{nm}$ の窒化膜の積層膜をマスク（図示せず）として、アンチモンの固相拡散により $1\text{E}17\text{cm}^{-3}\sim 1\text{E}19\text{cm}^{-3}$ の高濃度に、拡散深さ $3\mu\text{m}\sim 5\mu\text{m}$ に形成される。この段階で、N⁻型埋込み層3は表面濃度 $1\text{E}16\text{cm}^{-3}\sim 1\text{E}18\text{cm}^{-3}$ 、拡散深さ $12\mu\text{m}\sim 14\mu\text{m}$ に形成され、P型埋込み層4は表面濃度 $1\text{E}16\text{cm}^{-3}\sim$

12

$1\text{E}18\text{cm}^{-3}$ 、拡散深さ $10\mu\text{m}\sim 12\mu\text{m}$ に形成される。

【0026】次に、図4に示すように、第1のN⁻型エピタキシャル層2に形成した酸化膜又は酸化膜と窒化膜の積層膜（図示せず）を除去し、リンを $1\text{E}12\text{cm}^{-3}\sim 1\text{E}14\text{cm}^{-3}$ の低濃度にドーパした第2のN⁻型エピタキシャル層6を $2\mu\text{m}\sim 4\mu\text{m}$ の厚さで形成する。次に、第2のN⁻型エピタキシャル層6に $30\text{nm}\sim 70\text{nm}$ の酸化膜（図示せず）を形成後、N型素子分離領域とPiN型PDのカソード引き出し領域に素子分離用N型拡散層7を形成するために、リンを加速電圧 $100\sim 180\text{Kev}$ 、ドーズ量 $5\text{E}11\text{cm}^{-2}\sim 5\text{E}14\text{cm}^{-2}$ でイオン注入する。次に、P型素子分離領域に素子分離用P型拡散層8を形成するために、ボロンを加速電圧 $30\sim 80\text{Kev}$ 、ドーズ量 $5\text{E}13\text{cm}^{-2}\sim 5\text{E}14\text{cm}^{-2}$ でイオン注入する。次に、PiN型PDのカソード引き出し領域にN型カソード引き出し拡散層9を形成するために、リンを加速電圧 $100\sim 180\text{Kev}$ 、ドーズ量 $5\text{E}13\text{cm}^{-2}\sim 5\text{E}14\text{cm}^{-2}$ でイオン注入する。

【0027】次に、縦型NPNのコレクタ引き出し領域にN型コレクタ引き出し拡散層10を形成するために、リンを加速電圧 $100\sim 180\text{Kev}$ 、ドーズ量 $5\text{E}13\text{cm}^{-2}\sim 5\text{E}14\text{cm}^{-2}$ でイオン注入する。次に、縦型PNPのコレクタ引き出し領域にP型コレクタ引き出し拡散層11を形成するために、ボロンを加速電圧 $100\sim 180\text{Kev}$ 、ドーズ量 $5\text{E}13\text{cm}^{-2}\sim 5\text{E}14\text{cm}^{-2}$ でイオン注入する。次に、縦型NPNを形成する領域にN型コレクタ拡散層12を形成するために、リンを加速電圧 $100\sim 180\text{Kev}$ 、ドーズ量 $5\text{E}11\text{cm}^{-2}\sim 5\text{E}13\text{cm}^{-2}$ でイオン注入する。次に、縦型PNPを形成する領域にP型コレクタ拡散層13を形成するために、ボロンを加速電圧 $50\sim 150\text{Kev}$ 、ドーズ量 $1\text{E}11\text{cm}^{-2}\sim 5\text{E}13\text{cm}^{-2}$ でイオン注入する。

【0028】次に、PMOSを形成する領域にN型ウェル拡散層14を形成するために、リンを加速電圧 $100\sim 180\text{Kev}$ 、ドーズ量 $1\text{E}12\text{cm}^{-2}\sim 5\text{E}13\text{cm}^{-2}$ でイオン注入する。次に、NMOSを形成する領域にP型ウェル拡散層15を形成するために、ボロンを加速電圧 $100\sim 180\text{Kev}$ 、ドーズ量 $1\text{E}12\text{cm}^{-2}\sim 5\text{E}13\text{cm}^{-2}$ でイオン注入する。

【0029】以上の工程において、素子分離用N型拡散層7とN型カソード引き出し拡散層9とN型コレクタ引き出し拡散層10を形成するためイオン注入は同一工程で行ってもよく、この場合のイオン注入は、リンを加速電圧 $100\sim 180\text{Kev}$ 、ドーズ量 $5\text{E}13\text{cm}^{-2}\sim 5\text{E}14\text{cm}^{-2}$ で行う。また、素子分離用N型拡散層7とN型コレクタ拡散層12を形成するためのイオン注入を同一工程で行ってもよく、この場合のイオン注入は、リンを加速電圧 $100\sim 180\text{Kev}$ 、ドーズ量 $5\text{E}11\text{cm}^{-2}\sim 5\text{E}12\text{cm}^{-2}$ で行う。また、上記素子分離用N型拡散層7とN型コレクタ拡散層12を形成するためのイオン注入と同時に、N型カソード引き出し拡散層9とN型コレクタ引き出し拡散層10を

【0032】次に、PMOSとNMOSのゲート酸化膜18以外の 10nm ～ 40nm の酸化膜をゲート電極19をマスクに除去し、再度、第2のN-型エピタキシャル層6を酸化 10nm ～ 40nm の酸化膜(図示せず)を形成する。その後、完成図である図1に示すように、縦型PNPのN型コレクタ拡散層12内にP型ベース拡散層20を形成するために、ボロンを加速電圧 $20\sim 50\text{KeV}$ 、F-ア量 $1\text{E}13\text{cm}^{-2}\sim 1\text{E}14\text{cm}^{-2}$ でイオン注入する。その後、 $900^\circ\text{C}\sim 1000^\circ\text{C}$ 、 $10\text{分}\sim 60\text{分}$ の拡散を行い、P型ベース拡散層20を形成する。次に、P1N型PD領域に拡散深さの浅いP+型アノード拡散層21を形成するために、BF₂を加速電圧 $40\sim 80\text{KeV}$ 、F-ア量 $1\text{E}15\text{cm}^{-2}\sim 5\text{E}15\text{cm}^{-2}$ でイオン注入する。次に、同様に図1に示すように、縦型PNPのP型ベース拡散層20内にP+型外部ベース拡散層22を形成するために、BF₂を加速電圧 $40\sim 80\text{KeV}$ 、F-ア量 $1\text{E}15\text{cm}^{-2}\sim 5\text{E}15\text{cm}^{-2}$ でイオン注入する。次に、縦型PNPのP型ベース拡散層20内にN+型エミッタ拡散層23を形成するために、ヒ素を加速電圧 $100\sim 180\text{KeV}$ 、F-ア量 $1\text{E}16\text{cm}^{-2}\sim 1\text{E}17\text{cm}^{-2}$ でイオン注入する。次に、縦型PNPのN型ベース拡散層17内にP+型エミッタ拡散層25を形成するために、BF₂を加速電圧 $40\sim 80\text{KeV}$ 、F-ア量 $1\text{E}15\text{cm}^{-2}\sim 5\text{E}15\text{cm}^{-2}$ でイオン注入する。次に、PMOSのN型ウェル拡散層14内にP+型ソース・ドレイン拡散層26を形成するために、BF₂を加速電圧 $40\sim 80\text{KeV}$ 、F-ア量 $1\text{E}15\text{cm}^{-2}\sim 5\text{E}15\text{cm}^{-2}$ でイオン注入する。次に、NMOSのP型ウェル拡散層15内にN+型ソース・ドレイン拡散層27を形成するために、ヒ素を加速電圧 $100\sim 180\text{KeV}$ 、F-ア量 $1\text{E}16\text{cm}^{-2}\sim 1\text{E}16\text{cm}^{-2}$ でイオン注入する。ここで、P+型アノード拡散層21、P+型外部ベース拡散層22、P+型エミッタ拡散層25、P+型ソース・ドレイン拡散層26を形成するためのイオン注入は同一の工程で行ってもよく、またN+型エミッタ拡散層23、N+型外部ベース拡散層24、N+型ソース・ドレイン拡散層27を形成するためのイオン注入も同一の工程で行ってもよい。その後、 $900^\circ\text{C}\sim 1000^\circ\text{C}$ 、 $10\text{分}\sim 60\text{分}$ の拡散を行うことにより、P+型アノード拡散層21、P+型外部ベース拡散層22、P+型エミッタ拡散層25、P+型ソース・ドレイン拡散層26、N+型エミッタ拡散層23、N+型外部ベース拡散層24、N+型ソース・ドレイン拡散層27が形成される。このとき、P+型アノード拡散層21は、表面濃度 $1\text{E}19\text{cm}^{-3}\sim 1\text{E}20\text{cm}^{-3}$ 、拡散深さ $0.2\mu\text{m}\sim 0.4\mu\text{m}$ と浅く形成される。

【0034】以上の各工程により、図1に示したような好な光電変換特性を持ったP1N型PDT、高周波数特

形成するためのイオン注入を同一工程で行ってもよく、この場合のイオン注入は、リンを加速電圧100～180 Kev, F-ア量 $5 \times 10^{14} \text{ cm}^{-2}$ で行う。更に、素子分離用P型拡散層8とP型コリンタ引き出し拡散層11を形成する形成するためのイオン注入を同一工程で行ってもよく、この場合のイオン注入は、ボロンを加速電圧100～180 Kev, F-ア量 $5 \times 10^{14} \text{ cm}^{-2}$ ～ $5 \times 10^{14} \text{ cm}^{-2}$ で行う。このように、いくつかの工程を同時に行うことにより、工程数、及びマスク枚数を削減でき、コストを安くできて、効率よく製造することができる。

【0030】その後、1000℃～1200℃、300分～500分の拡散を行う。この工程により、図5に示すように、N型埋込み層3と素子分離用N型拡散層7が接続してN型素子分離領域が形成され、P型埋込み層4と素子分離用P型拡散層8、P型コリンタ引き出し拡散層11、P型コリンタ拡散層13、P型ウエル拡散層15がそれぞれ接続し、P型素子分離領域、縦型PNPのコリンタ引き出し領域とコリンタ領域、NMOSのウエル領域がそれぞれ形成される。また、N型埋込み層5とN型カソード引き出し拡散層9、N型コリンタ引き出し拡散層10、N型コリンタ拡散層12、N型ウエル拡散層14がそれぞれ接続し、P型PNPのカソード引き出し領域、縦型PNPのコリンタ引き出し領域とコリンタ領域、P MOSのウエル領域がそれぞれ形成される。ここで、N型コリンタ拡散層12とP型コリンタ拡散層13の不純物濃度を $1 \times 10^{16} \text{ cm}^{-3}$ 以下に形成することにより、縦型PNPと縦型PNPの耐圧を高くすることができる。この場合、N型コリンタ拡散層12を形成するためのイオン注入は、リンを加速電圧100～180 Kev, F-ア量 $5 \times 10^{14} \text{ cm}^{-2}$ ～ $5 \times 10^{14} \text{ cm}^{-2}$ で行い、P型コリンタ拡散層13を形成するためのイオン注入は、ボロンを加速電圧50～150 Kev, F-ア量 $1 \times 10^{14} \text{ cm}^{-2}$ ～ $1 \times 10^{14} \text{ cm}^{-2}$ で行う。次いで、窒化膜を用いた選択酸化法により600 nm～1000 nmのフイルム酸化膜16を選択的に形成する。

【0031】その後、選択酸化に使用した窒化膜（図5に示す）を除去した後、フイルム酸化膜16を形成した領域以外の第2のN型エピタキシャル層6を酸化し、30 nm～70 nmの酸化膜（図5に示す）を形成する。次に、図6に示すように、縦型PNPのP型コリンタ拡散層13内にN型ペーア拡散層17を形成するために、リンを加速電圧100～180 Kev, F-ア量 $1 \times 10^{14} \text{ cm}^{-2}$ ～ $1 \times 10^{14} \text{ cm}^{-2}$ でイオン注入する。その後、900℃～1000℃、10分～60分の拡散を行い、N型ペーア拡散層17を形成する。次に、30 nm～70 nmの上記酸化膜（図5に示す）を除去した後、900℃～1000℃で第2のN型エピタキシャル層6を酸化し、30 nm～70 nmの酸化膜18となる10 nm～40 nmの酸化膜を形成したゲート酸化膜18とゲート酸化膜18とP MOS領域とNMOS領域にゲート酸化膜18とゲート電極19を形成する。

性を有し最適な特性を持った縦型NPN及び縦型PNPと、最適な特性を持ったNMOS及びPMOSを同一基板上に形成した半導体装置が得られる。

【0035】

【発明の効果】以上実施の形態に基づいて説明したように、請求項1及び2記載の発明によれば、高濃度のN型基板にi層となる低濃度の第1のN型エピタキシャル層と低濃度の第2のN型エピタキシャル層を形成し、第2のN型エピタキシャル層に浅い拡散深さで形成されたP型アノード拡散層を設けることによりPiN型PDを構成しているため、周波数応答が良好で短波長から長波長の光に対して良好な光電変換特性を持つPiN型PDが得られる。また縦型NPNにおいては、P型素子分離領域により第1のN型エピタキシャル層及び第2のN型エピタキシャル層と分離された、N⁺型埋込み層とこのN⁺型埋込み層に接続するN型コレクタ拡散層とでコレクタ領域を形成しているため、PiN型PDのi層となる第2のN型エピタキシャル層とは独立にコレクタ濃度が設定でき、高い周波数特性を有し、最適な特性を持った縦型NPNを得ることができる。また縦型PNPにおいては、P型埋込み層とこのP型埋込み層に接続するP型コレクタ拡散層でコレクタ領域を形成しており、第1のN型エピタキシャル層及び第2のN型エピタキシャル層とはPN接合で分離されているため、自由にコレクタ濃度が設定でき、高い周波数特性を有し、最適な特性を持った縦型PNPを得ることができる。またPMOSにおいては、P型素子分離領域により第1のN型エピタキシャル層及び第2のN型エピタキシャル層と分離された、N⁺型埋込み層とこのN⁺型埋込み層に接続するN型ウエル拡散層とでウエル領域を形成しているため、PiN型PDのi層となる第2のN型エピタキシャル層とは独立にウエル濃度が設定でき、最適な特性を持ったPMOSを得ることができる。またNMOSにおいては、P型埋込み層とこのP型埋込み層に接続するP型ウエル拡散層とでウエル領域を形成しており、第1のN⁻型エピタキシャル層及び第2のN⁻型エピタキシャル層とはPN接合で分離されているため、自由にウエル濃度が設定でき、最適な特性を持ったNMOSを得ることができる。またN⁻型埋込み層とこのN⁻型埋込み層に接続する素子分離用N型拡散層によりN型素子分離領域を形成しており、大きな工程数の増加なしに安定して、それぞれの素子を分離することができる。

【0036】請求項3記載の発明によれば、請求項2記載の半導体装置の製造方法において、縦型NPNのコレクタを形成するN型コレクタ拡散層と縦型PNPのコレクタを形成するP型コレクタ拡散層の不純物濃度を1E16cm⁻³以下にしているため、縦型NPNと縦型PNPの耐圧を向上させることができる。また、請求項4記載の発明によれば、請求項2記載の半導体装置の製造方法において、N型素子分離領域を形成するための素子分離用

N型拡散層とPiN型PDのカソード引き出し領域を形成するためのN型カソード引き出し拡散層と縦型NPNのコレクタ引き出し領域を形成するためのN型コレクタ引き出し拡散層を同一工程で形成するようにしており、また請求項5記載の発明によれば、請求項2記載の半導体装置の製造方法において、N型素子分離領域を形成するための素子分離用N型拡散層と縦型NPNのコレクタを形成するためのN型コレクタ拡散層を同一工程で形成し、PiN型PDのカソード引き出し領域を形成するためのN型カソード引き出し拡散層と縦型NPNのコレクタ引き出し領域を形成するためのN型コレクタ引き出し拡散層を同一工程で形成するようにしており、また請求項6記載の発明によれば、請求項2記載の半導体装置の製造方法において、P型素子分離領域を形成するための素子分離用P型拡散層と縦型PNPのコレクタ引き出し領域を形成するためのP型コレクタ引き出し拡散層を同一工程で形成するようにしており、以上のように、いくつかの工程を同時に行うことにより、工程数を少なくして効率よく半導体装置を製造することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の実施の形態を示す断面図である。

【図2】本発明に係る半導体装置の製造方法の実施の形態を説明するための製造工程を示す図である。

【図3】図2に示した製造工程に続く製造工程を示す図である。

【図4】図3に示した製造工程に続く製造工程を示す図である。

【図5】図4に示した製造工程に続く製造工程を示す図である。

【図6】図5に示した製造工程に続く製造工程を示す図である。

【図7】従来の半導体装置の構成例を示す断面図である。

【図8】従来の半導体装置の他の構成例を示す断面図である。

【図9】従来の半導体装置の更に他の構成例を示す断面図である。

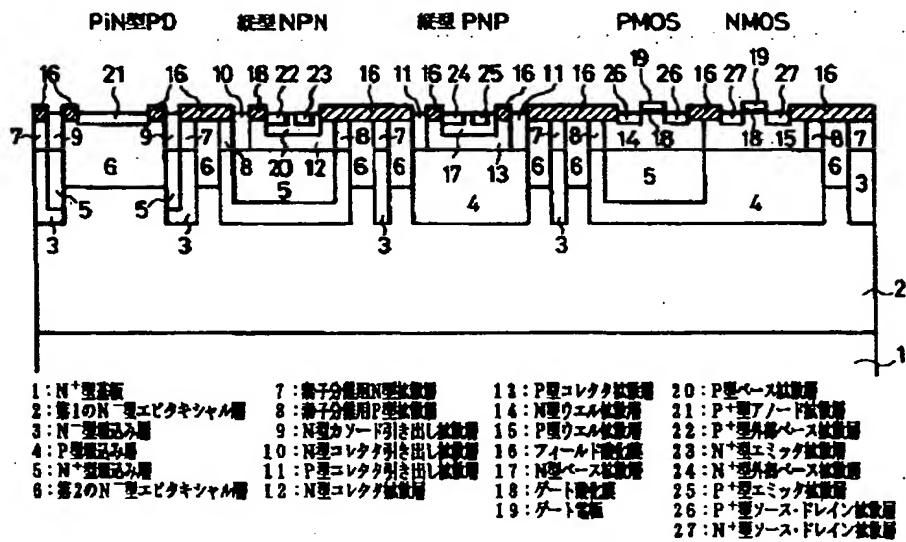
【図10】従来の半導体装置の更に他の構成例を示す断面図である。

【符号の説明】

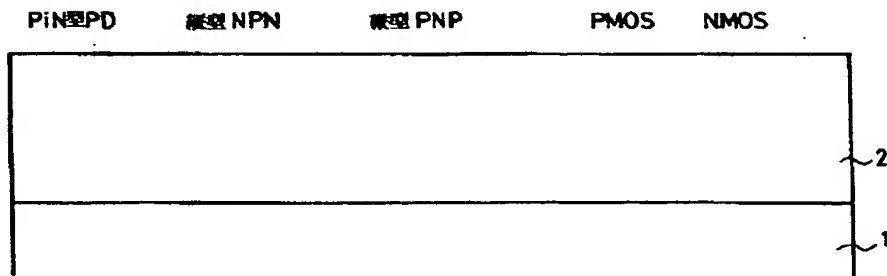
- 1 N⁺型基板
- 2 第1のN⁻型エピタキシャル層
- 3 N⁻型埋込み層
- 4 P型埋込み層
- 5 N⁺型埋込み層
- 6 第2のN⁻型エピタキシャル層
- 7 素子分離用N型拡散層
- 8 素子分離用P型拡散層
- 9 N型カソード引き出し拡散層

- | | |
|--|--|
| <p>17</p> <p>10 N型コレクタ引き出し拡散層</p> <p>11 P型コレクタ引き出し拡散層</p> <p>12 N型コレクタ拡散層</p> <p>13 P型コレクタ拡散層</p> <p>14 N型ウェル拡散層</p> <p>15 P型ウェル拡散層</p> <p>16 フィールド酸化膜</p> <p>17 N型ベース拡散層</p> <p>18 ゲート酸化膜</p> | <p>18</p> <p>19 ゲート電極</p> <p>20 P型ベース拡散層</p> <p>21 P⁺型アノード拡散層</p> <p>22 P⁺型外部ベース拡散層</p> <p>23 N⁺型エミッタ拡散層</p> <p>24 N⁺型外部ベース拡散層</p> <p>25 P⁺型エミッタ拡散層</p> <p>26 P⁺型ソース・ドレイン拡散層</p> <p>27 N⁺型ソース・ドレイン拡散層</p> |
|--|--|

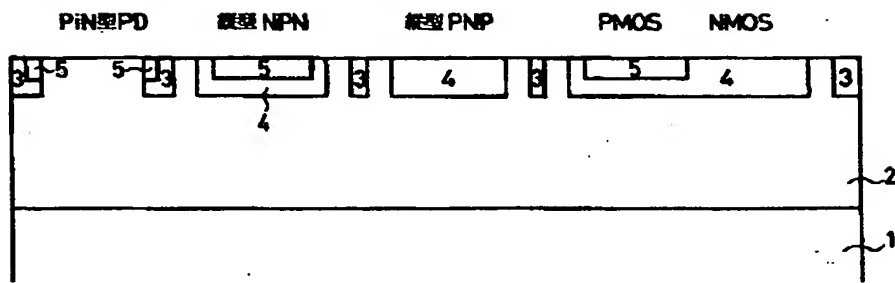
【図1】



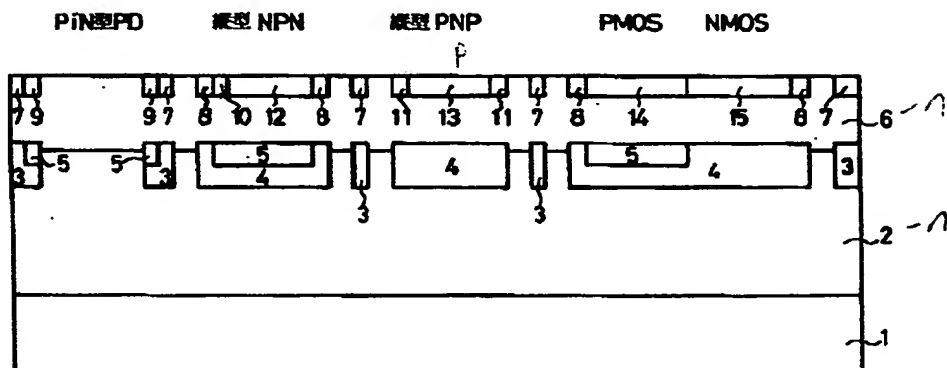
【図2】



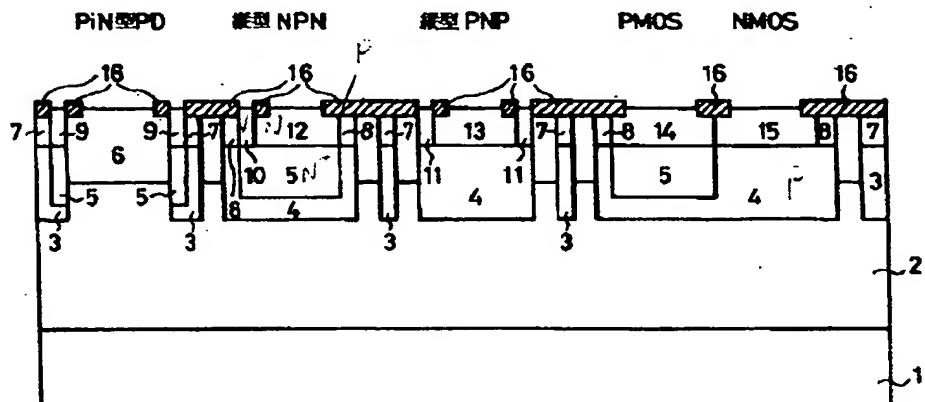
【図3】

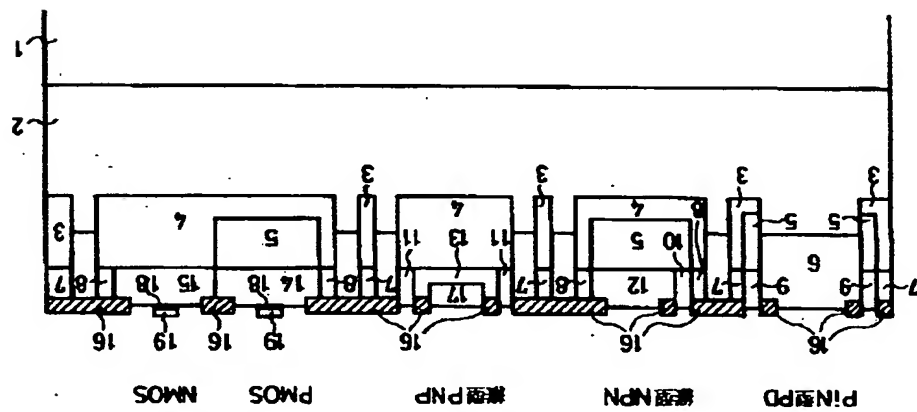


【図4】

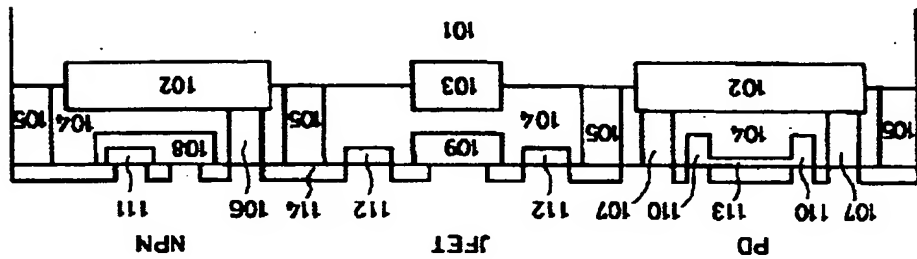


【図5】



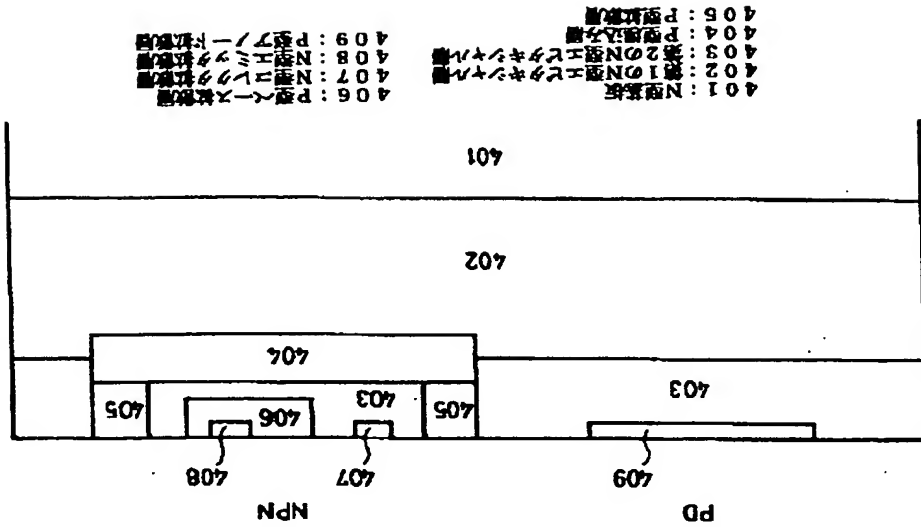


【図6】



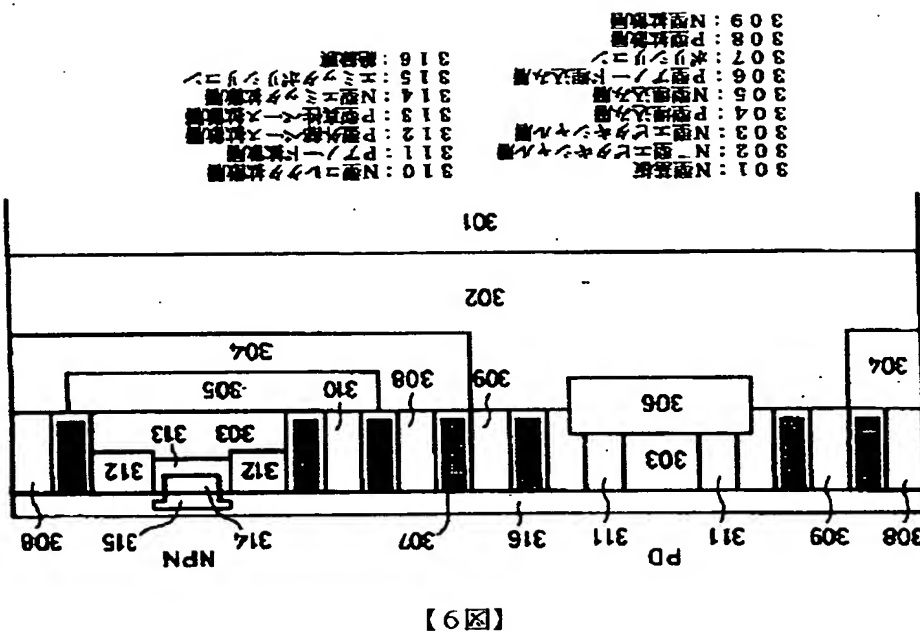
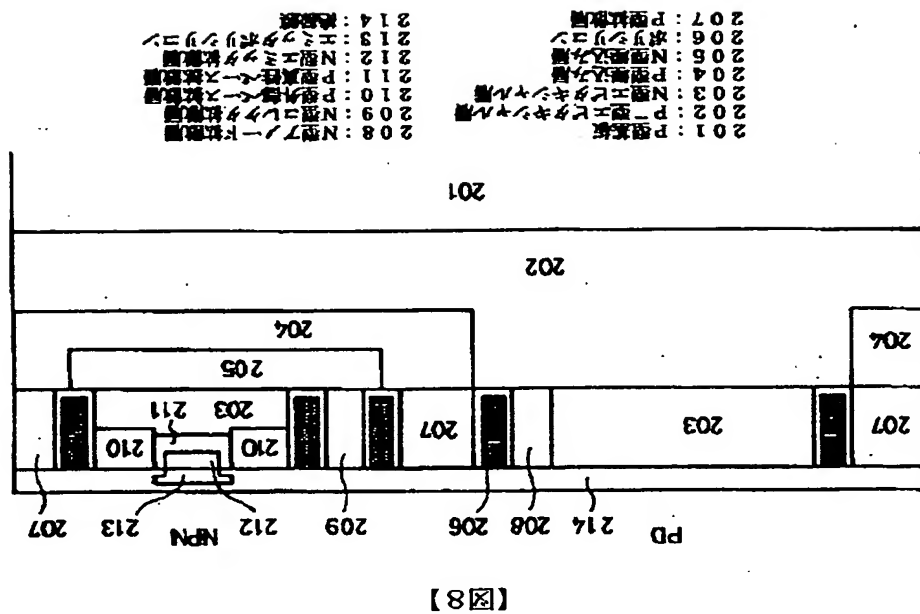
【図7】

- 101: P型基板
- 102: N型埋込層
- 103: P型埋込層
- 104: N型エピタキシャル層
- 105: P型分層埋込層
- 106: N型コレクタエピタキシャル層
- 107: N型エミッタエピタキシャル層
- 108: P型ベースエピタキシャル層
- 109: P型ゲートエピタキシャル層
- 110: P型ゲートエピタキシャル層
- 111: N型エミッタエピタキシャル層
- 112: N型コレクタエピタキシャル層
- 113: P型ベースエピタキシャル層
- 114: P型埋込層



【図10】

- 401: N型基板
- 402: 第1のN型エピタキシャル層
- 403: 第2のN型エピタキシャル層
- 404: P型埋込層
- 405: P型埋込層
- 406: P型ベースエピタキシャル層
- 407: N型コレクタエピタキシャル層
- 408: N型エミッタエピタキシャル層
- 409: P型ゲートエピタキシャル層



CLIPPEDIMAGE= JP409275199A

PAT-NO: JP409275199A

DOCUMENT-IDENTIFIER: JP 09275199 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

PUBN-DATE: October 21, 1997

INVENTOR-INFORMATION:

NAME

NEMOTO, KIYOSHI

ASSIGNEE-INFORMATION:

NAME

OLYMPUS OPTICAL CO LTD

COUNTRY

N/A

APPL-NO: JP08108627

APPL-DATE: April 5, 1996

INT-CL_(IPC): H01L027/14; H01L021/8249 ; H01L027/06 ; H01L031/10

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device and manufacturing method thereof which has a PIN type PD having good photoelectric conversion characteristics, longitudinal NPN and longitudinal PNP having high frequency characteristics, and NMOS and PMOS having optimum characteristics on the same substrate.

SOLUTION: A first and second n<SP>-</SP> type epitaxial layers 2, 6 on an n<SP>+</SP> type substrate, a p<SP>+</SP> type anode diffused layer 21 having a shallow diffusion depth is formed on the second layer 6 to form a PiN-type PD, a p-type buried layer 4 and separating diffused layer 8 form a collector region separated from the epitaxial layers, thus forming a longitudinal NPN. The buried layer 4 and p-type collector diffused layer 13 form a collector region, thus forming a longitudinal PNP. The buried layer 4 and separating diffused layer 8 form a well region separated from the epitaxial layers, thus forming a PMOS, and the buried layer 4 and p-type well diffused layer 15 form a well

region, and forming an NMOS. As a result, a semiconductor device is formed.

COPYRIGHT: (C) 1997, JPO